

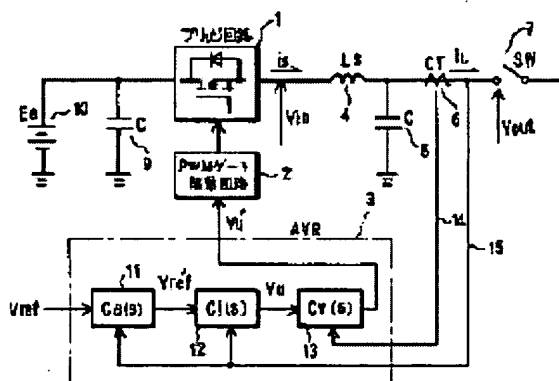
VARIABLE-GAIN VOLTAGE CONTROL SYSTEM OF DC/DC CONVERTER USING DETECTION OF LOAD CURRENT

Patent number: JP6233530
Publication date: 1994-08-19
Inventor: IKEDA TAKUMI
Applicant: NIPPON ELECTRIC IND CO LTD
Classification:
- international: H02M3/28
- european:
Application number: JP19930036127 19930201
Priority number(s):

Abstract of JP6233530

PURPOSE: To stabilize control characteristics of a voltage control system in a DC-DC converter without increasing the stationary gain, larger.

CONSTITUTION:A voltage control system 3 composed of a mean-voltage control element 11 for controlling a DC/DC converter, instantaneous-voltage control element 12, etc., is provided with a variable-gain control element 13; and the detection signal of a current detector 6 provided at the output end is fed back to the variable-gain control element 13. Consequently, the variation of output voltage is small, even if a load is turned on/off instantaneously.



(11)特許出願公開番号

(43)公開日 平成6年(1994)8月19日

技術表示箇所

審査請求 未請求 請求項の数1 FD (全 7 頁)

(74)代理人 弁理士 増田 竹夫

1

【特許請求の範囲】

【請求項1】 平均電圧制御要素と接続した瞬時電圧制御要素およびその他の構成要素より成る電圧制御系を備え、平滑フィルタの出力端から検出した出力電圧信号を前記平均電圧制御要素と瞬時電圧制御要素にそれぞれフィードバックさせ、

前記瞬時電圧制御要素の出力信号をPWMゲート駆動回路に入力させてスイッチング素子より成るブリッジ回路を制御するDC/DCコンバータの電圧制御系において、

前記電圧制御系を構成する瞬時電圧制御要素の出力側に可変ゲイン制御要素を設けると共に出力端に設けた電流検出器から検出した負荷電流信号を前記可変ゲイン制御要素に入力させるフィードバック回路を設け、前記負荷電流信号と前記瞬時電圧制御要素の出力信号を前記可変ゲイン制御要素において演算処理したうえで前記PWMゲート駆動回路に入力させ、負荷電流変動に伴う出力電圧変動時には前記瞬時電圧制御要素の出力信号のゲインを前記可変ゲイン制御要素を介することによって可変とすることを特徴とする負荷電流の検出を利用したDC/DCコンバータの電圧制御系。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、UPSや各種スイッチング電源を構成するDC/DCコンバータや単相あるいは三相のインバータ等における電圧制御系に関するものである。

【0002】

【従来の技術】DC/DCコンバータを構成する従来技術による電圧制御系のブロック図を図4に示す。直流電源10の直流出力はブリッジ回路1に入力され、このブリッジ回路1において変換された直流出力はリアクタ4を介して出力され、スイッチ7を介して負荷8に供給される。なお、ブリッジ回路1の直流側にはコンデンサ9が、交流側にはコンデンサ5が接続されている。また、平滑フィルタの出力端から検出された出力電圧信号 V_{out} は電圧制御系3'にフィードバックされ、電圧制御系3'を構成する平均電圧制御要素11'と瞬時電圧制御要素12'にそれぞれ入力する。基準電圧 V_{ref} とフィードバックされた出力電圧信号 V_{out} を入力する平均電圧制御要素11'からの出力信号 V_{ref}' は前記出力電圧信号 V_{out} と共に瞬時電圧制御要素12'に入力し、出力信号 V_o を送出する。この出力信号 V_o は電圧制御系3'の出力信号であって、PWMゲート駆動回路2を介してブリッジ回路1を制御する。

【0003】図3は瞬時電圧制御要素12'の内部構成を示すブロック線図であり、2つの位相補償要素とフィードフォワード制御回路によって構成している。平均電圧制御要素11'の出力信号 V_{ref}' と出力電圧信号 V_{out} は加算器31において加算され、位相進み補償要素

2

32と位相遅れ補償要素33および増幅器35を介して加算器36に入力し、増幅器34を介してフィードフォワードされる前記出力信号 V_{ref}' と加算器36において加算され、PWMゲート駆動回路2を介してブリッジ回路1を制御する信号 V_o を出力する。DC/DCコンバータの負荷をオン/オフしたときの出力電圧 V_{out} と負荷電流 i_L の変化を図6(a)に示す。負荷電流 i_L の瞬時変動に伴って出力電圧 V_{out} も変動し、この出力電圧の瞬時変動分は電圧制御系3'にフィードバックされる。電圧制御系3'にフィードバックされた出力電圧変動分は瞬時電圧制御要素12'において演算処理されてその出力信号 V_o は図6(b)に示すように dV_o/dt だけ変化する。

【0004】

【発明が解決しようとする課題】DC/DCコンバータの負荷を瞬時にオン/オフした場合のシミュレーション結果は図9と図10に示す通りである。4ms間隔のSWのオン/オフにより、負荷電流 i_L は変化し、ブリッジ回路1の出力電流 i_o も若干のタイムラグをもって変動し、また、出力電圧 V_{out} も図9に示すように大幅に変動する。この出力電圧 V_{out} の変動は、電圧制御系3'における瞬時電圧制御要素12'からの出力信号 V_o を図10に示すように dV_o/dt だけ変化させることによって抑制している。

【0005】上述した負荷のオン/オフに伴う出力電圧 V_{out} の変動を小幅に抑制するためには、電圧制御系3'の定常ゲインKを大きくすることによって対応できる。しかし乍ら、定常ゲインKを大きくすると、無負荷時における安定性が損なわれるばかりでなく、PWM制御系の非線形性に起因する問題を生ずるおそれがある。以上の理由により定常ゲインKを大きくできないので、負荷のオン/オフ等による瞬時変動に対しては、従来技術による電圧制御系では十分に速応できず、出力電圧の過渡変動特性は悪くなるのを免れなかった。この発明は、上述した従来技術による電圧制御系の欠点を解決するためになされたものであって、定常ゲインKを大きくすることなしに負荷電流の瞬時変動時における出力電圧の変動を小幅に抑制することのできるDC/DCコンバータにおける可変ゲイン電圧制御系を提供することを目的としている。

【0006】

【課題を解決するための手段】上述した目的を達成するために、この発明による負荷電流の検出を利用したDC/DCコンバータの可変ゲイン電圧制御系は、平均電圧制御要素と瞬時電圧制御要素等によって構成した電圧制御系に可変ゲイン制御要素を設けると共にDC/DCコンバータの出力端から検出した負荷電流検出信号を前記可変ゲイン制御要素に入力させるフィードバック回路を設け、前記瞬時電圧制御要素の出力信号と前記負荷電流検出信号とを前記可変ゲイン制御要素において演算処理

し、この検出信号によってDC/DCコンバータを制御するものである。

【0007】

【作用】 負荷電流 i_L の瞬時変動に伴う出力電圧 V_{out} の変動はフィードバックされて平均電圧制御要素11と瞬時電圧制御要素12に入力される。この瞬時電圧変動に対しては瞬時電圧制御要素12のみが応動し、その変動量は (dV/dt) であり図5(b)における点線で示す通りである。この発明による可変ゲイン制御要素13の構成要素は図2に示す通りであり、負荷電流から検出した負荷電流信号 i_L と瞬時電圧制御要素12からの出力信号 V_e が入力しており、それぞれの信号は位相補償要素や増幅器等を介して $(|di_L/dt|)$ と (dV/dt) となり乗算器27に入力される。乗算器27の出力信号は $(dV/dt) \times (|di_L/dt|)$ となるので、加算器29の出力信号 V_e' は $V_e + (dV/dt) \times (|di_L/dt|)$ となる。すなわち、図5(b)に示すように、負荷電流変動に伴う (di_L/dt) により電圧制御系3の出力信号 V_e' のゲインは従来方式における出力信号 V_e のゲインの $(|di_L/dt|)$ 倍に増加するので、出力電圧 V_{out} は図5(a)に示すように変動分が減少する。

【0008】

【実施例】 以下、この発明に係る実施例を図面を参照しながら説明する。図1はこの発明による負荷電流の検出を利用したDC/DCコンバータの可変ゲイン電圧制御系の回路構成を示すブロック図である。出力端に設けられた電流検出器6と電圧制御系3の内部に設けられた可変ゲイン制御要素13およびフィードバック回路14を除くと従来技術による電圧制御系の回路構成と同一であるので、重複説明は行わない。

【0009】 この発明による可変ゲイン制御要素13の構成要素は図2に示す通りであり、負荷電流検出信号 i_L は微分要素22、増幅器24、絶対値変換要素25、不感帯要素26を介して乗算器27に入力され、一方、瞬時電圧制御要素12の出力信号 V_e は微分要素21、増幅器23を介して乗算器27に入力される。乗算器27への入力信号はそれぞれ (dV/dt) と $(|di_L/dt|)$ であるので、その出力信号は $(dV/dt) \times (|di_L/dt|)$ となり、増幅器28を介して加算器29において瞬時電圧制御要素12の出力信号 V_e と加算される。負荷をオン/オフした場合における電圧制御系3の制御特性は図5(a)と図5(b)に示す通りであり、電圧制御系3からの出力信号 V_{out} は負荷電流の瞬時変動分 di_L/dt によって $(dV/dt) \times (|di_L/dt|)$ だけ増加する。すなわち、負荷電流のフィードバック回路を備えた可変ゲイン制御要素を設けることにより、出力電圧 V_{out} の変動幅は図5(a)に示すように、従来技術による電圧制御系の場合より小さくなる。

【0010】 負荷を4ms間隔でオン/オフしたシミュレーション結果を図7と図8に示す。図7は負荷をオン/オフすることによる出力電流 i_L と出力電圧 V_{out} の変動を示しており、出力電圧 V_{out} の変動幅が減少していることが判る。また、図8は可変ゲイン制御要素13の内部回路における電圧信号 V_e と電流信号 i_L' の変動状況を示しており、可変ゲイン制御要素13からの出力信号(電圧制御系3の出力信号) V_e' のゲインは大きく変化するので、DC/DCコンバータの出力電圧 V_{out} の変動は抑制される。

【0011】

【発明の効果】 以上説明したように、この発明に係るDC/DCコンバータの可変ゲイン電圧制御系は、平均電圧制御要素と瞬時電圧制御要素等の他に可変ゲイン制御要素を設け、出力端に設けた電流検出器の検出信号を可変ゲイン制御要素にフィードバックさせたものである。このために、負荷を瞬時にオン/オフしたときの出力電圧の変動は、上述した瞬時電圧制御要素と可変ゲイン制御要素のそれぞれのゲインの相乗効果によって制御される。従って、定常ゲイン K を大きくする必要もないので無負荷時の安定性を確保でき、また、負荷のオン/オフ等による過渡変動時の出力電圧特性を改善させることができる。

【図面の簡単な説明】

【図1】 この発明によるDC/DCコンバータの可変ゲイン電圧制御系の構成を示すブロック図。

【図2】 この発明による可変ゲイン制御要素の内部構成を示すブロック線図。

【図3】 従来の瞬時電圧制御要素の内部構成を示すブロック線図。

【図4】 従来のDC/DCコンバータの電圧制御系の構成を示すブロック図。

【図5】 この発明による電圧制御系を備えたDC/DCコンバータの負荷変動時の応答を示す説明図。

【図6】 従来の電圧制御系を備えたDC/DCコンバータの負荷変動時の応答を示す説明図。

【図7】 この発明による電圧制御系を備えたDC/DCコンバータの出力特性のシミュレーション結果。

【図8】 この発明による可変ゲイン制御要素内部における検出信号のシミュレーション結果。

【図9】 従来の電圧制御系を備えたDC/DCコンバータの出力特性のシミュレーション結果。

【図10】 従来の瞬時電圧制御要素の出力信号のシミュレーション結果。

【符号の説明】

- 1 ブリッジ回路
- 2 PWMゲート駆動回路
- 3 電圧制御系
- 4 リアクタ
- 5, 9 コンデンサ

5

6

6 電流検出器

10 直流電源

11 平均電圧制御要素

12 瞬時電圧制御要素

13 可変ゲイン制御要素

14, 15 フィードバック回路

21, 22 微分要素

23, 24, 28 増幅器

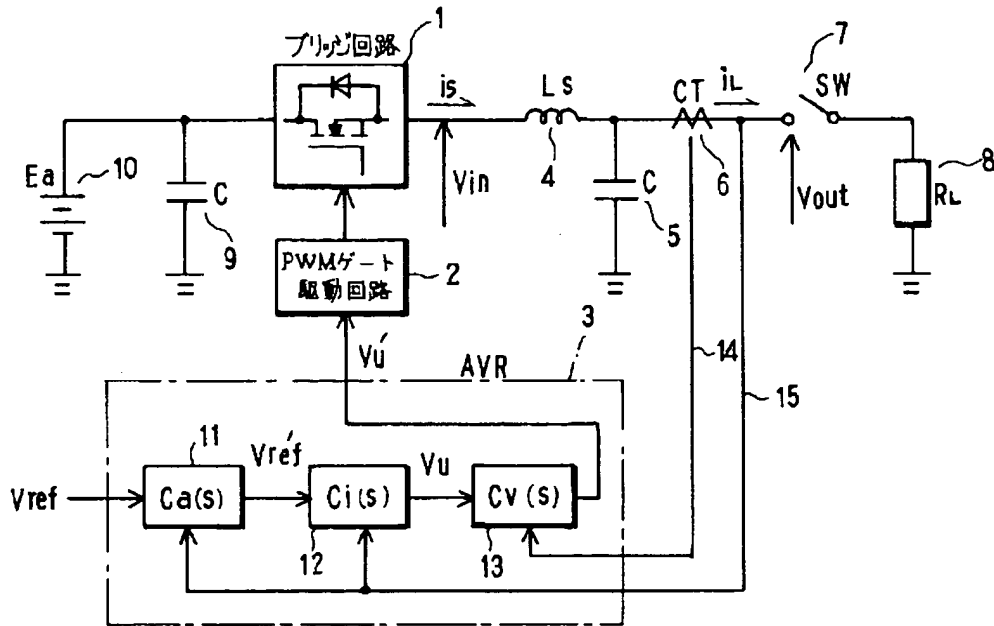
25 絶対値変換要素

26 不感帯要素

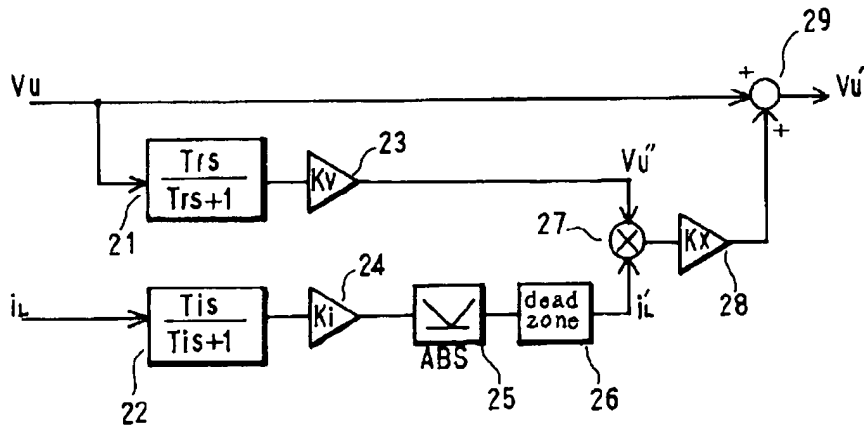
27 乗算器

29 加算器

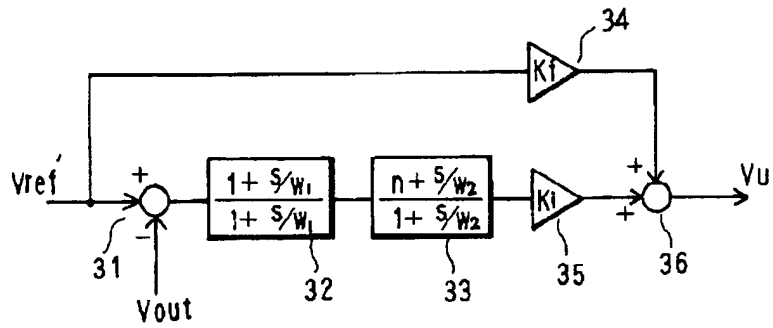
【図1】



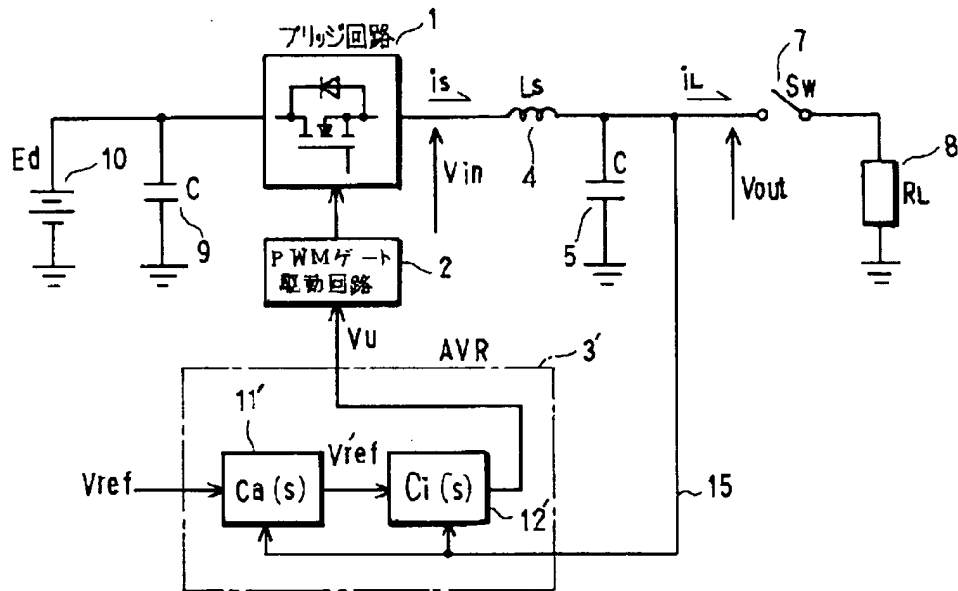
【図2】



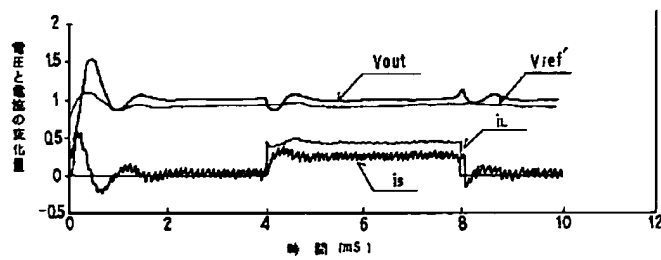
【図3】



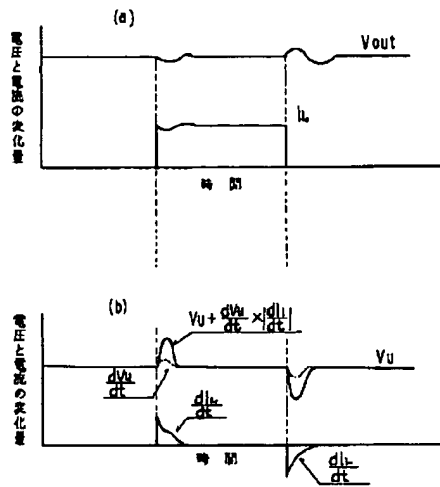
【図4】



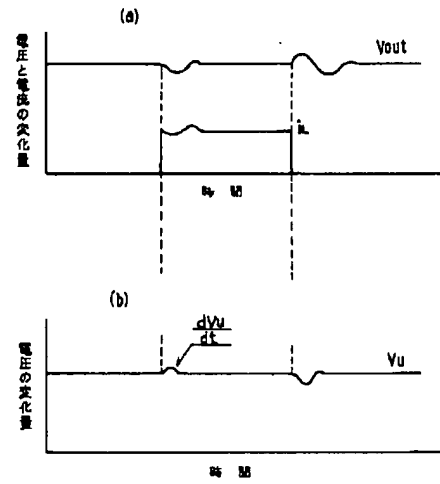
【図7】



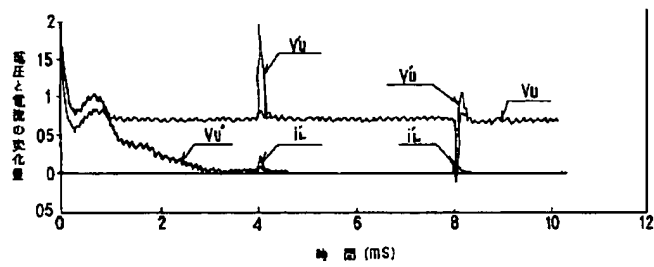
【図5】



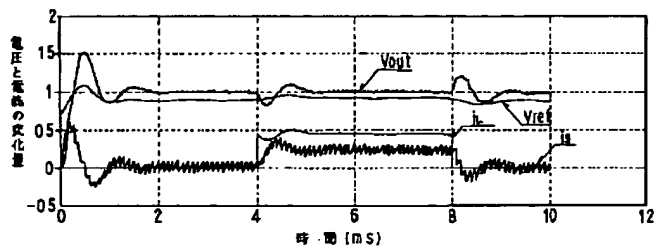
【図6】



【図8】



【図9】



(7)

特開平6-233530

【図10】

